

## VARIABLE DELAY CIRCUIT

Patent Number: JP2000134072  
Publication date: 2000-05-12  
Inventor(s): HARA MASAAKI  
Applicant(s):: SONY CORP  
Requested Patent: JP2000134072 (JP00134072)  
Application Number: JP19980299635 19981021  
Priority Number(s):  
IPC Classification: H03K5/135  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To realize inexpensively a variable delay circuit from which a desired delay is obtained without being affected by a power supply voltage or the like.

**SOLUTION:** The variable delay circuit is provided with a 3-bit counter 10 that generates data pulses TP, TP2, TP4 with a prescribed period based on a received clock, an up-down counter 20 that counts based on an up-down control signal UD, a delay line 30 whose delay number is set with a count output of the up-down counter 20, a delay amount detection section 40 that detects the delay by the delay line 30 and outputs the result of detect as the up-down control signal UD, and a delay lock detection section 50 that compares a current count output of the up-down counter 20 with a preceding count output to detect whether or not the delay is locked and provides an output of a required count in the two counts as a reference delay stage number. However, a period of the data pulses is selected as TP

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134072

(P2000-134072A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl.<sup>7</sup>

H 0 3 K 5/135

識別記号

F I

H 0 3 K 5/135

テマコード\*(参考)

5 J 0 0 1

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号

特願平10-299635

(22)出願日

平成10年10月21日(1998.10.21)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 原 雅明

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100086841

弁理士 脇 篤夫 (外1名)

Fターム(参考) 5J001 AA05 BB00 BB05 BB08 BB12

BB13 BB14 BB21 BB22 BB23

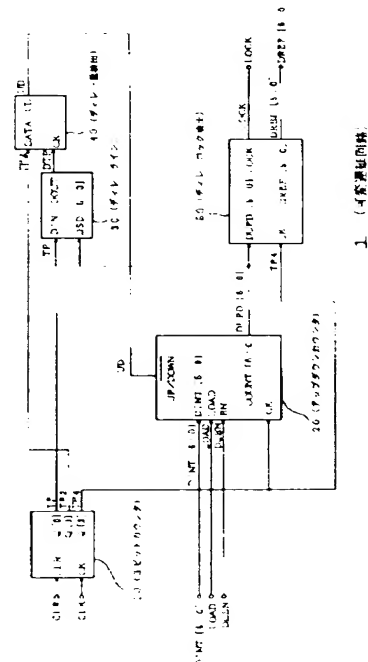
BB24 DD02 DD03 DD09

(54)【発明の名称】 可変遅延回路

(57)【要約】

【課題】 電源電圧などの影響を受ずに所望する遅延量  
が得られる可変遅延回路を廉価に構成する

【解決手段】 入力したクロックに基づいて所定の周波  
数となるギータハルスTP、TP2、TP4を生成する  
3ビットカウンタ10と、アップダウン制御信号UDに  
基づいてカウントを行うアップダウンカウンタ20と、  
アップダウンカウンタ20のカウント出力によってゲイ  
レー段数が設定されるゲイレーライン30と、ゲイレー  
ライン30による遅延量を検出し、検出結果をアップダ  
ウン制御信号UDとするゲイレー量検出部40と、アッ  
プダウンカウンタ20の現在のカウント出力と過去のカ  
ウント出力を比較して遅延量がロックされているか否  
かを検出し、検出した2個のカウント値のうち必要な  
値を基にゲイレー段数として出力するゲイレーロック検  
出部50を備える。但し、ギータハルスが同期はTP、  
TP2、TP4である。



1. (可変遅延回路)

## 【特許請求の範囲】

【請求項1】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスゲータを生成する分周手段と、

前記第三のハルスゲータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、

前記第一のハルスゲータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、

前記第二のハルスゲータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

前記第三のハルスゲータが供給されるとともに、前記アップダウンカウンタの現在のカウンタ値と過去のカウンタ値を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちいずれか一方の値を選択して基準ディレー段数として出力するディレーロック検出手段と、

を備えていることを特徴とする可変遅延回路。但し、前記分周手段によって生成される各ハルスゲータの周期としては、第一のハルスゲータと第二のハルスゲータと第三のハルスゲータとなるようにする。

【請求項2】 前記遅延量検出手段は、前記第一のハルスゲータを前記ディレー手段で遅延された遅延ハルスゲータの立ち上がりタイミングでラッチして出力する第一のラッチ手段と、

前記第一のハルスゲータと前記第一のラッチ手段からのラッチゲータの相対的論理和とされるラッチの出力を行うようにされているラッチ手段と、

前記遅延ハルスゲータを反転させる反転手段と、前記ラッチ手段から出力されるデータを前記反転手段で反転した遅延ハルスゲータの立ち上りのタイミングでラッチして出力する第二のラッチ手段と、

を備え、前記第二のラッチ手段からの出力ゲータが、前記遅延ハルスゲータの立ち上がりよりも早い場合のみとして、所要のアップダウン制御信号を出力するようにしたことを特徴とし、請求項1に記載の可変遅延回路。

【請求項3】 前記遅延量検出手段は2段のラッチ手段によって構成され、前記第三のハルスゲータに基づいて前記アップダウンカウンタのディレー段数がロックされると検出されるようにされていることを特徴とし、

現在のディレー段数を前記ラッチ手段による2クロック前のディレー段数を比較を行う第一の比較手段と、現在のディレー段数を前記ラッチ手段による1クロック前のディレー段数を比較を行う第二の比較手段と、前記第一の比較手段の比較結果として、現在のディレー段数を前記2クロック前のディレー段数と一致した場合

のデータを前記第三のクロックでラッチするラッチ手段と、

前記第二の比較手段の比較結果として、現在のディレー段数が前記2クロック前のディレー段数と一致する場合、前記第三の比較手段の比較結果として、現在のディレー段数が前記1クロック前のディレー段数よりも大きい場合に、前記1クロック前のディレー段数を出力し、これ以外の場合に、現在のディレー段数を出力することができるようになっている選択手段と、

10 前記選択手段で選択されたディレー段数を前記第三のハルスゲータでラッチするようにされているラッチ手段と、

を備えていることを特徴とする請求項1に記載の可変遅延回路。

【請求項4】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスゲータを生成する分周手段と、

前記第三のハルスゲータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、

前記第一のハルスゲータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、

前記第二のハルスゲータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

前記第三のハルスゲータが供給されるとともに、前記アップダウンカウンタの現在のカウンタ出力と過去のカウンタ出力を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちで小さいものの値を基準ディレー段数として出力するディレーロック検出手段と、

を備えることを特徴とする請求項1に記載の可変遅延回路。但し、前記分周手段によって生成される各ハルスゲータの周期としては、第一のハルスゲータと第二のハルスゲータと第三のハルスゲータとなるようにする。

【請求項5】 前記遅延量検出手段は、前記第一のハルスゲータを前記ディレー手段で遅延された遅延ハルスゲータの立ち上がりタイミングでラッチして出力する第一のラッチ手段と、

40 前記第一のハルスゲータと前記第一のラッチ手段からのラッチゲータの相対的論理和とされるラッチの出力を行うようにされているラッチ手段と、前記遅延ハルスゲータを反転させる反転手段と、前記ラッチ手段から出力されるデータを前記反転手段で反転した遅延ハルスゲータの立ち上りのタイミングでラッチして出力する第二のラッチ手段と、

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、例えば温度、圧力、湿度等の物理量を感知するセンサから得られる可変遅延回路に関するものである。

【0002】

【従来の技術】入力信号を遅延させる目的で用いるゲイレーライオンには、例えばIC(1・・・インダクタ・C・・・コンデンサ)または半導体回路などにより形成されるゲレーライオンが知られている。遅延量が一定にされているゲレーライオンは比較的廉価で構成することができるが、遅延量を可変にしたいというプログラマブルゲレーライオンは非常に高価なものになる。このプログラマブルゲレーライオンをデジタルデータの遅延に用いようとした場合、大規模な集積回路(Integrated Circuit・・・以下、単にICという)を構成する場合に要する価値になることもある。

【0003】デジタルデータを遅延させる構成として、例えば図7に示されているようにインパルスを2段直列に接続することによってゲレーライオンを形成し、これを所望するゲレー量になるような段数だけ直列に接続することが知られている。図7に示す例では、インパルスの直列接続による例えば63個のゲレー素子D1乃至ゲレー素子D63が直列に接続され、各ゲレー素子の出力が64=1のマルチプレクサ70に供給される。マルチプレクサ70では例えば6ビットのデータ(DSD[5:0])に応じて、いずれかのゲレー素子の出力がDOUTから出力される。このようにゲレーラインを構成する場合、廉価とされる例えばCMOS(Complementary Metal Oxide Semiconductor)プロセスを用いてIC内部で容易に実現することが可能である。

#### 【0004】

【発明が解決しようとする課題】ところで、ICや分布定数回路によって構成されたゲレーラインは特性のばらつきや温度変動が非常に小さいものに対して、IC内部に構成されるゲートの遅延量や温度の増減(非回路構成などによる信号の遅延など)のばらつき、および電源電圧の変動によって大きく変化してしまう。例えば、CMOSのIC内部にゲートでは、上記に示す条件が全てゲートの速度を遅くする方向に傾いた場合や、斜度異なる方向に傾いた場合とを比較すると、例えば3倍程度のゲレー量の増減が生じている。このため、例えば温度補償する手段によらずにばらつきの増減が蓄積・低減するような工夫をして、ゲレー素子、ゲレーラインをICに内蔵したゲレー量は起る使用中環境におけるゲレー量をとりとめる方法など、観測しながら必要なゲレー素子の段数を決定するなどの方法が検討されている。しかし、温度補償や電源電圧の増減を補償する場合、通常はゲートは異なる特性をもつ素子または回路が必要となり、価値的にも困難になる。また、ゲレー量の観測を行う方法など(例えば、ゲレー量を調整し、目標値に近づける方法)は、使用中環境に依存して人的な再調整が必要になり、この場合も価値的なコストが減少するとはならない。

【0005】そこで、例えば特開第2004-4963号

公報に、ゲレーラインにおいて入力したクロックを2分周した1T分の遅延量(1のハルスクォータ)を50%としたもの(1/2の遅延量)を生成する方法が示されている。

ゲレーラインにおいて入力したクロック段数の値を分周する増やしていく過程で、オス信号とゲレーしたオス信号の論理和が常にハイレベルになるようなゲータの値を調べることで、1T分のゲレーに必要な段数を調べる方法が開示されている。このようにして、1T分のゲレーに必要なゲレー段数がわかれば、所望するゲレー量を得るために必要なゲレー段数を算出することが可能になり、IC内部で容易に実現することができるというメリットを生かして廉価なゲレーラインを構成することができるようになる。

【0006】しかし、この場合、1T分のゲレーに必要な段数を設定するための方法が複雑なので、各種測定用のプログラムを外部に備えることが必要になり、すなわちIC内部に内蔵するための回路化が困難であるという問題があった。

【0007】

【課題を解決するための手段】本発明はこのような問題点を解決するために、入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスデータを生成する分周手段と、前記第三のハルスデータが供給されるとともに、アップダウン制御信号に基づいてカウンタアップまたはカウンタダウンを行うアップダウンカウンタと、前記第一のハルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてゲレー段数が設定されるゲレー手段と、前記第一のハルスデータが供給されるとともに、前記ゲレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第二のハルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウンタ値と過去のカウンタ値を比較して遅延量(1T)とされているか否かを検出し、検出結果をカウンタ値の増減(1T)とされるか否かを検出して基準ゲレー段数として出力するゲレー量検出手段を備えていることを特徴とする可変遅延回路。但し、前記分周手段は、1Tと表される場合、ハルスデータが偶数であるときは、第一のハルスデータ、第二のハルスデータ、第三のハルスデータとなるようにする。

【0008】また、入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスデータを生成する分周手段と、前記第三のハルスデータが供給されるとともに、アップダウン制御信号に基づいてカウンタアップまたはカウンタダウンを行うアップダウンカウンタと、前記第一のハルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてゲレー段数が設定されるゲレー手段と、前記第二のハルスデータが供給されるとともに、前記ゲレー手段によ

って遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第1のハルスデータが供給されるタイミングで、前記アップダウンカウンタの現在のカウント出力を過りカウンタ出力と比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちで小さいほうの値を基準ディレー一段数として出力するディレーロック検出手段を備えた基準ディレー一段数出力手段と、前記クロックが供給されるとともに、前記基準ディレー一段数出力手段からの基準ディレー一段数と所要のディレー比率を乗算するディレー一段数設定手段と、前記ディレー一段数設定手段によって設定されたディレー一段数により、入力したデータをディレーさせるディレー手段を備えて構成されていることを特徴とする可変遅延回路。但し、前記符号手段において生成される各ハルスデータの周期としては、第1のハルスデータと第2のハルスデータと第3のハルスデータとなるようにする。

【0009】本発明によれば、例えばプロセス、電源電圧、温度などによってディレー量が変化するようなディレー素子の組み合わせによって可変遅延回路を構成した場合でも、常に所望するディレー量を得ることができるようになる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を説明する。図1は本発明の実施の形態の可変遅延回路の構成例を説明する図である。この図に示されているように例えば3ビットカウンタ10、アップダウンカウンタ20、ディレーライン30、ディレー量検出部40、ディレーロック検出部50などによって構成される。3ビットカウンタ10は入力したクロックCLKに基づいて、このクロックCLKを2分周した第1のハルスデータとされる1FのゲータハルスDTP、同じく4分周した第2のハルスデータとされる2FのゲータハルスDTP2、同じく8分周した第3のハルスデータとされる4FのゲータハルスDTP4を生成する。アップダウンカウンタ20はディレー量検出部40からのアップダウン制御信号UDに基いて、ディレー一段数のカウントアップ・カウンタ出力と、カウンタ値DUPDを出力するようにされている。図1はアップダウン制御信号UDがハイレベルである場合にカウントアップ、ローレベルである場合にカウントダウンを行う。以下、カウンタ値DUPDをディレー一段数DUPDともいう。ディレーライン30は図1に示すように、ディレーライン30aとディレーライン30bとを有し、カウンタ20のカウント値をディレー一段数設定データとしてハルスDTPを遅延させて出力する。なお、ディレー比率が例えば図7に示すように例えば6.4倍に設定する場合には、任意の値に設定することができる。

【0011】ディレー量検出部40は、ディレーライン30によってゲータハルスDTPが遅延されたゲータハ

スDTPに基づいて、3ビットカウンタ10からのゲータハルスDTP2をラッチすることによってアップダウン制御信号UDを生成する。このディレー量検出部40の詳細については後で図2に示す図によって詳しく説明する。ディレーロック検出部50は3ビットカウンタ10からのゲータハルスDTP4のタイミングで、アップダウンカウンタ20のカウント値DUPD（ディレー一段数）に基づいて、現在のディレー一段数と1クロック前、または2クロック前のディレー一段数の比較を行って、ディレー一段数がロックされているか否かの判別を行うようにされている。このディレーロック検出部50からは、ディレー一段数がロックされていることを示すディレーロック信号LOCKまたは基準ディレー一段数DREFが出力される。なお、ディレーロック検出部50の詳細については後で図3に示す図によって詳しく説明する。

【0012】図2に従いディレー量検出部40の構成例を説明する。ディレー量検出部40は、入力段とされるD-FF1およびフロッグ（以下、D-FFという）41の排他的論理和ゲート（以下、EORゲートという）42、インバータ43、さらに出力段とされるD-FF44などによって構成される。D-FF41は図1に示したディレーライン30からのゲータハルスDTPに基づいてゲータハルスDTP2をラッチして、ゲータハルスQAとしてEORゲート42に供給する。EORゲート42はゲータハルスQAおよびゲータハルスDTP2の2個のデータの排他的論理和としてゲータハルスUPDを出力する。D-FF44はEORゲート42からのゲータハルスUPDを、インバータ43で反転したゲータハルスDTPでラッチして、アップダウン制御信号UD、すなわちディレー一段数の増または減を選択する制御信号として図1に示したアップダウンカウンタ20に供給する。

【0013】このディレー量検出部40は、3ビットカウンタ10からのゲータハルスDTP2をD-FF41の「DATA」に、またゲータハルスDTPを「CE」に入力すると、ゲータハルスDTP2の立ち上がりからのゲータハルスDTPの立ち上がりまでの間にアップダウン制御信号UDがハイレベルまたはローレベルの場合にゲータハルスUPDが制御信号UDがハイレベルとされる。

【0014】次に、図3に従いディレーロック検出部50の構成例を説明する。図3に示されているように、ディレーロック検出部50は、2本のD-FF52a、52bからなるラッチ、比較部53、第1の比較部54、D-FF55、ANDゲート55、カウンタ57、D-FF58などによって構成されている。

【0015】アップダウンカウンタ20のカウント値DUPD（ディレー一段数）はカウンタ52に供給される。これにより、現在のディレー一段数DUPDに対してD-FF52aの出力として1クロック前のディレー一段数DFF1、D-FF52bの出力として2クロック前のディレー一段数DFF2を得ることができるようになっている。

いる。なお、シフトレジスタ52に供給されるクロックはデータハルスTTP4とされる。比較部53ではダイレー一段数DUPDとダイレー一段数DR1とを比較し、例えばDUPD=DR1である場合にはデータ出力を行う。また比較部54ではダイレー一段数DUPDとダイレー一段数DR2の比較を行い、例えばDUPD=DR2である場合にデータ出力を行う。すなわち、ANDゲート55からはDUPD=DR1とDUPD=DR2の場合の論理積が出力される。D-FF56はDUPD=DR2の場合のダイレー一段数をデータハルスTTP4でラッチしてダイレーロック信号LOCKとしてハイレベルのデータを出力する。

【0016】セクタ57は1クロック前のダイレー一段数DR1と現在のダイレー一段数DUPDを入力して、ANDゲート55からの論理積に基づいて、入力したダイレー一段数DUPDとダイレー一段数DR1を選択的に出力する。例えば、比較部53の比較結果として、ダイレー一段数DUPDとダイレー一段数DR2が一致した場合、比較部54の比較結果として、ダイレー一段数DUPDがダイレー一段数DR1よりも大きい場合にダイレー一段数DR1を出力し、これ以外の場合に、ダイレー一段数DUPDを出力することができるようになっている。

【0017】セクタ57で選択されたダイレー一段数(DUPDまたはDR1)はD-FF58に供給され、データハルスTTP4によってラッチされて基準ダイレー一段数DREFとして常に出力するようにされている。このように、ダイレーロック検出部50は2クロック前のダイレー一段数DR2と現在のダイレー一段数DUPDを比較して一致していればダイレーロック信号LOCKを出力し、1クロック前のダイレー一段数DR1と現在のダイレー一段数DUPDを比較して小さい場合は基準ダイレー一段数DREFとして出力するようにされている。

【0018】以下、図4、図5にしたがって図1に示した可変遅延回路1における各信号のタイミングが説明される。なお、図4、図5は1連のタイミングを示しているが、使用上図4において0nsから1400nsまでのタイミングを示し、図5において1400nsから1600nsまでのタイミングを示している。また、図4、図5は電源電圧の遅延時間や電源電圧の変動により、これを想定して例えばクロック周波数を変化させて、クロック周波数の変化に追随して1T分のダイレーに必要なダイレー一段数を出力するようにした一例を示している。これらの図に示されている1Tはクロックの繰返1周期に相当しており、1Tに対して1T/9は例えば10%の遅延時間であり、すなわちクロック周波数が10%程度変動している。さらに、これらの図(a)は5ビットのカウンタ10、(b)はアップダウンカウンタ20、(c)はアップダウンカウンタ30、(d)はアップダウン検出部50、(e)はデータハルス検出部40における各信号のタイミングを示している。

【0019】図4に示されているように、0nsから120nsまでの期間において、データハルス信号CLRはローレベルとなり、カウンタ10は0から15までカウントアップされ、カウンタ20はカウンタ10の値が0(b)においてロード信号LOADがローレベルになった時点で初期のダイレー一段数DINTとして「0x20」がロードされる。つまりダイレーライン30(c)においてダイレー一段数DSDとして「0x20」が設定される。これにより、ダイレーライン30に入力したデータハルスTTPは「0x20」のダイレー一段数によって遅延されてデータハルスDTPとして出力される。

【0020】そして120nsから500nsまでの期間において、「0x20」のダイレー一段数によるダイレー量は1T分のダイレーに対して不足している。このため、データハルス検出部40に入力されるデータハルスTTP2の反転タイミングよりデータハルスDTPの立ち上がりの方が遅くなっている。したがって、データハルスTTP2をデータハルスDTPの立ち上がりでラッチしたデータハルスQAとデータハルスTTP2の排他的論理和とされるデータハルスUPは、データハルスDTPの立ち上がりからデータハルスTTP2の反転までの反転の間だけローレベルになり、ほとんどがハイレベルとなるパルスとされる。したがって、アップダウンカウンタ20(b)ではデータハルスTTP4の立ち上がりのタイミングで、アップダウン制御信号UDがハイレベルとなり、ダイレー一段数DUPDはカウンタアップされて「0x21」となる。以降500nsまで、同様にしてダイレー一段数DUPDはカウンタアップされて「0x22」となる。

【0021】次に500nsから1400nsまでの期間において、ダイレー一段数DUPDが「0x23」となると、ダイレー量が1T分よりも大きくなるのでダイレー量検出部40に入力されるデータハルスTTP2の反転タイミングはデータハルスDTPの立ち上がりよりも遅くなる。したがって、データハルスQAとデータハルスTTP2の排他的論理和とされるデータハルスUPは、データハルスTTP2の反転タイミングからデータハルスDTPの立ち上がりまでの間だけローレベルになる。ほとんどがハイレベルとなるパルスとされる。アップダウンカウンタ20ではデータハルスTTP4の立ち上がりでアップダウン制御信号UDがローレベルとなる。このため、ダイレー一段数DUPDはカウンタダウンされて「0x22」とされる。

【0022】以降、データハルスTTP4の立ち上がりで、アップダウン制御信号UDがハイレベル、ローレベルを交互に繰り返すことになる。また、ダイレー一段数DUPDは「0x23」「0x21」「0x22」の値を交互に繰り返すことになる。一方で、データハルス検出部50において、ダイレー一段数DUPDが「0x22」でない場合を検出する。この場合、データハルス検出部50は、データハルスTTP

P4の立ち上がり毎に2クロック前のダイレー一段数DR2と現在のダイレー一段数DR1を比較して一致していれば、1T分のダイレー量は所望するダイレー一段数(ダイレー一段数DR1とダイレー一段数DUPD)間にあることになるので、ダイレー一段数が小さくなったとみなしダイレーロック信号LOCKをハイレベルにして出力する。そしてダイレー一段数DR1とダイレー一段数DUPDを比較して小さい方の「0x22」を1T分ダイレーさせるための基準ダイレー一段数DREFとして出力する。

【0023】図5に示されているように、1400nsで、クロックCLKがj=10からj=9になると、先述したようにパルスの繰返し周期が例えば10%短くなり、周波数が速い状態となると、ダイレー一段数「0x22」によるダイレー量は1T分のダイレーに対して大きすぎることになって、アップダウン制御信号UDはローレベルになり、アップダウンカウンタ20ではデータハルスTP4の立ち上がりでダイレー一段数DUPDはカウントダウンされて、ダイレー一段数DUPDが「0x1E」までカウントダウンされると、1T分のダイレー量よりも小さくなるので、それ以降は「0x1E」と「0x1F」を交互に繰返して、小さい方の「0x1E」を1T分ダイレーさせるための基準ダイレー一段数DREFとして出力する。

【0024】このように、入力するクロックCLKの周期が変化しても、その変化量に対応して所望するダイレー量を得ることができる基準ダイレー一段数を得ることができるようになる。

【0025】なお、図3に示したダイレーロック検出部50では、ダイレー一段数DR1とダイレー一段数DUPDの小さい方を基準ダイレー一段数DREFとして出力するように説明したが、大きい方を出力するようにしても良い。また、図1に示した可変遅延回路1の構成においてダイレー量検出部40を省略して、データハルスTP4の立ち上がり(8クロック)毎に制御するダイレー一段数DUPDをそのまま出力するようにしても、上記の二つの場合とほぼ同様の効果を得ることが出来る。さらに、データハルスTP2、TP4をそれぞれ2Tパルス、4Tパルスとして説明しているが、TP4、TP2、TP4の間の関係が成立していればデータハルスTP2、TP4に任意の周期のデータハルスを適用することもできる。

【0026】また、図1のアップダウンカウンタ20については、例えば、パルス幅が狭いクロックをアップダウン動作を可能にするイタズラクロックDILEXを人力可能にして、必要なときは基準ダイレー一段数DREFを遅延させるようにすることも可能である。

【0027】また、このような可変遅延回路1が必要とされる場合には、図1の構成は、1クロック遅延可能である。

【0028】図6は本発明の変形例として図1に示した可変遅延回路1を人力段に構成した可変遅延回路の構成例を説明するための図であるが、可変遅延回路1は、

1T分の1端に対してダイレー比率DRATE[3:0]と可変遅延回路1からの基準ダイレー一段数DREFの掛け算を行い、ダイレー設定段数DREFを出力するダイレー一段数設定部60、このダイレー一段数設定部60で設定されたダイレー一段数によって入力したデータDINを遅延してデータDOUTとして出力するダイレーライン70によって構成されている。なお、ダイレーライン70は図1に示したダイレーライン30と同様の構成とされる。ここで、ダイレー一段数設定部60は例えば5ビットのDRATE[3:0]と例えば6ビットのDREF[5:0]を掛け合わせて、9ビットのMPX[9:0]を計算するようにされ、以下のようにMPXの上位6ビットをDSDとして出力する。

$$\text{MPX}[9:0] = \text{DRATE}[3:0] \times \text{DREF}[5:0]$$

$$\text{DSD}[5:0] = \text{MPX}[9:4]$$

したがって、例えばダイレー比率DRATE=3、n1であった場合、クロック周期1/16のダイレー量になり、例えばダイレー比率DRATE=3、n1であった場合、クロック周期の1/5(1/6)のダイレー量になる。但し、これはダイレー比率DRATEのビット数やダイレー一段数設定部60における掛け算手段の演算精度を限定するものではない。

【0029】

【発明の効果】以上、説明したように本発明は、例えばプロセス、電源電圧、温度などによってダイレー量が変化するようなダイレー素子の組み合わせによって可変遅延回路を構成した場合でも、実際の使用条件において常に所望するダイレー量を得ることができるようになる。したがって、外部における他の回路構成やプロセスミナリを必要とせずに、可変遅延回路を構成することが出来る。また、本発明はCMOSミナリを必要としないので、従来のLTCや分布定数回路を用いた可変遅延回路と比較しても極めて簡便で構成することが出来るようになる。

【発明の最も佳な説明】

【図1】本発明の実施の形態の可変遅延回路1の構成を説明するブロック図である。

【図2】図1の可変遅延回路1を構成するダイレー量検出部40の構成例を説明する図である。

【図3】図1の可変遅延回路1を構成するダイレー量検出部40の構成例を説明する図である。

【図4】可変遅延回路1における各信号のタイミング図を示す図である。

【図5】可変遅延回路1における各信号のタイミング図を示す図である。

【図6】本発明の変形例の可変遅延回路1の構成を説明する図である。

る[4]である

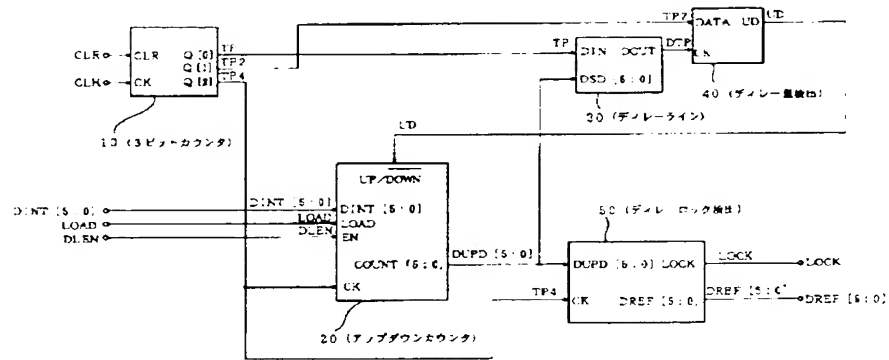
【147】  $\frac{1}{2} \log \frac{1}{2} = -\frac{1}{2} \log 2 = -\frac{1}{2} \times 0.3010 = -0.1505$ 

【附註】

1、60 可変位置道路、10、30、70、90、100 アップタウンカウンタ、30、70 ディレーライ  
ン、40 ディレー量検出部、50 ディレーロック検

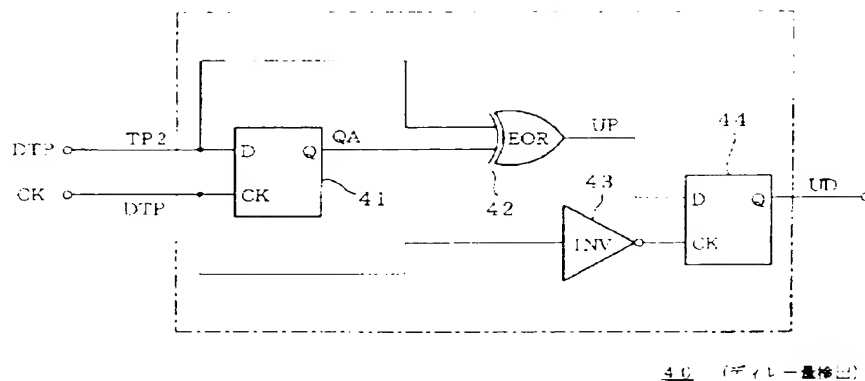
出部、4.1、4.4 D・FF、4.2 EORゲート、4.3 マルチプレクサ、5.2 シフトレジスタ、5.2a、5.2b、D・トリガ、5.4 比較器、5.5 ANDゲート、5.6、5.8 D・トリガ、5.7 セラータ、7.0 3段階分岐設定部

【文 1】



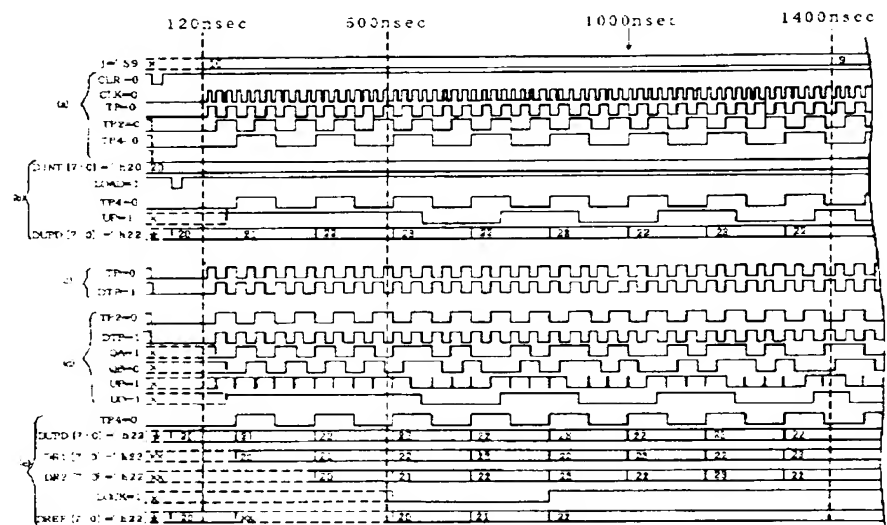
### 1. (可變遲延回路)

【14】2】

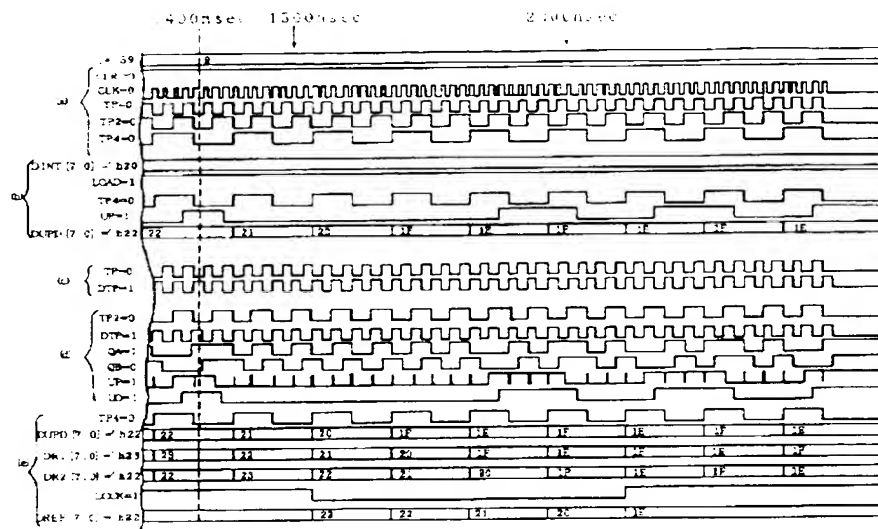




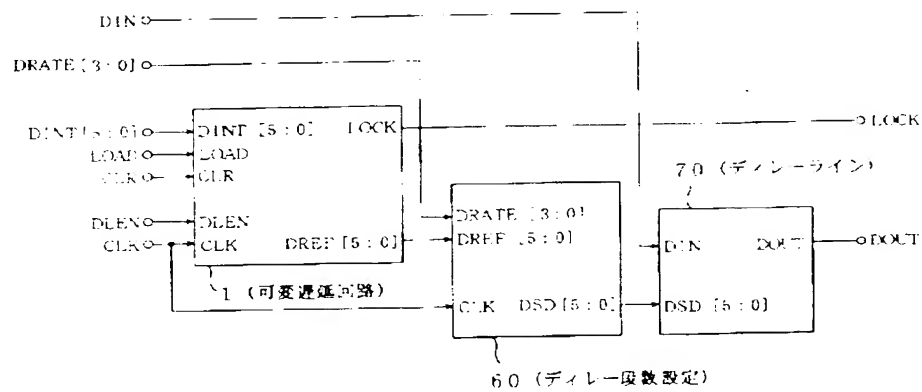
【14】4】



【45】



【46】



【47】

